

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-223930

(43)Date of publication of application : 21.08.1998

(51)Int.Cl.

H01L 33/00

H01S 3/18

(21)Application number : 09-021388

(71)Applicant : ROHM CO LTD

(22)Date of filing : 04.02.1997

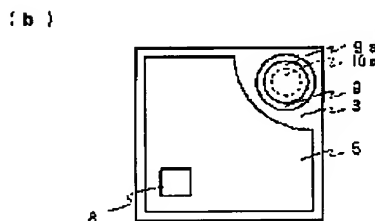
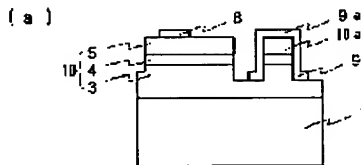
(72)Inventor : SHAKUDA YUKIO
 NAKADA SHUNJI
 SONOBE MASAYUKI
 TSUTSUI TAKESHI
 ITO NORIKAZU
 ICHIHARA ATSUSHI

(54) SEMICONDUCTOR LIGHT EMITTING ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To make sure the electrical connections between p- and n-side electrodes on the same surface side of a laminated semiconductor section formed on a substrate to form a light emitting layer and other leads by forming the p- and n-side electrodes to substantially equal heights.

SOLUTION: After a laminated semiconductor section 10 is formed as a light emitting layer on a single-crystal substrate 1 by successively laminating semiconductor layers 3-5 upon another, a p-side electrode 8 is formed in a state where the electrode 8 is electrically connected to a p-type layer 4 on the surface side of the laminated section 10. Then an n-side electrode 9 is formed in a state where the electrode 9 is electrically connected to an n-type layer 3 exposed by removing part of the laminated section 10. At the time of forming the electrode 9, the part 10a of the laminated section 10 is left at the forming location of the electrode 9 without etching the part 10a and the electrode 9 is formed continuously from the part 10a and the n-type layer 3 exposed around the part 10a. Therefore, the part 9a of the n-side electrode 9 on the part 10a of the laminated section 10 is formed at nearly the same height as that of the p-side electrode 8.



LEGAL STATUS

[Date of request for examination]

03.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-223930

(43) 公開日 平成10年(1998) 8月21日

(51) Int. Cl. ^a
H01L 33/00
識別記号
H01S 3/18

F I
H01L 33/00 C
E
H01S 3/18

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平9-21388
(22) 出願日 平成 9 年(1997) 2 月 4 日

(71) 出願人 000116024
ローム株式会社
京都府京都市右京区西院溝崎町21番地
(72) 発明者 尺田 幸男
京都市右京区西院溝崎町21番地 ローム株
式会社内
(72) 発明者 中田 俊次
京都市右京区西院溝崎町21番地 ローム株
式会社内
(72) 発明者 園部 雅之
京都市右京区西院溝崎町21番地 ローム株
式会社内
(74) 代理人 弁理士 河村 洸

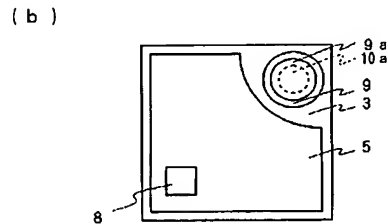
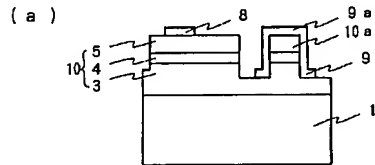
最終頁に続く

(54) 【発明の名称】 半導体発光素子

(57) 【要約】

【課題】 積層された半導体層の一部をエッチングなどにより除去して、同一面側に p 側電極および n 側電極が設けられる半導体発光素子においても、その電極と他のリードなどとの電気的接続が確実になり、その信頼性が向上する半導体発光素子を提供する。

【解決手段】 基板 1 と、該基板上に発光層を形成すべく積層される半導体積層部 10 と、該半導体積層部の表面側の第 1 導電形の半導体層 (p 形層 5) に接続して設けられる第 1 の電極 (p 側電極 8) と、前記半導体積層部の一部がエッチングにより除去されて露出する第 2 導電形の半導体層 (n 形層 3) に接続して設けられる第 2 の電極 (n 側電極 9) とからなり、前記第 1 および第 2 の電極が、前記基板からほぼ同じ高さになるように形成されている。



1 基板 8 p 側電極
3 n 形層 9 n 側電極
5 p 形層 10 半導体積層部

【特許請求の範囲】

【請求項1】 基板と、該基板上に発光層を形成すべく積層される半導体積層部と、該半導体積層部の表面側の第1導電形の半導体層に接続して設けられる第1の電極と、前記半導体積層部の一部がエッチングにより除去されて露出する第2導電形の半導体層に接続して設けられる第2の電極とからなり、前記第1および第2の電極が、前記基板からほぼ同じ高さになるように形成されてなる半導体発光素子。

【請求項2】 前記第2の電極が、前記半導体積層部の一部が除去されて露出する第2導電形の半導体層と、前記半導体積層部がエッチングされないで残存する部分に連続して形成されてなる請求項1記載の半導体発光素子。

【請求項3】 前記基板が電気的絶縁性基板である請求項1または2記載の半導体発光素子。

【請求項4】 前記半導体積層部がチツ化ガリウム系化合物半導体からなる請求項1、2または3記載の半導体発光素子。

【請求項5】 前記第1導電形の半導体層がストライプ状に残存するようにメサエッチングがなされて半導体レーザが形成されてなる請求項1、2、3、または4記載の半導体発光素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は基板上に発光層を形成すべく半導体層が積層され、その半導体層が積層された同一面側にp側およびn側の両電極が設けられる発光ダイオードやレーザダイオードなどの半導体発光素子に関する。さらに詳しくは、その両電極が基板から実質的に同じ高さになるように形成される半導体発光素子に関する。

【0002】

【従来の技術】たとえば青色系（紫外線から黄色）の発光ダイオード（以下、LEDという）は、図4にそのLEDチップの一例の概略図が示されるように、サファイアからなる電気的絶縁性の基板上にチツ化ガリウム系化合物半導体層が積層されて形成される。すなわち、サファイア基板21上にたとえばn形のGaNがエピタキシャル成長されたn形層（クラッド層）23と、バンドギャップエネルギーがクラッド層のそれよりも小さくなる材料、たとえばInGaN系（InとGaの比率が種々変わり得ることを意味する、以下同じ）化合物半導体からなる活性層24と、p形のGaNからなるp形層（クラッド層）25とからなり、その表面に図示しないNi-Auの合金層からなる電流拡散層を介してp側（上部）電極28が設けられ、積層された半導体層の一部がエッチングされて露出するn形層23の表面にn側（下部）電極29が設けられることにより形成されている。

【0003】この構造のLEDチップがリードの先端などにダイボンディングされ、2本のリードとp側および

n側の電極が金線などのワイヤボンディングにより接続されたり、2本のリード上にそれぞれp側およびn側の電極が別々に接続されるようにLEDチップを裏向き（フェースダウン）にしてボンディングされ、その周囲が樹脂でモールドされてそのリードと反対側から発光する発光素子ランプにされたり、両端に端子電極が設けられた基板上にLEDチップがボンディングされて各電極がワイヤボンディングにより端子電極と接続されるチップ型発光素子として用いられる。

【0004】一方、電流注入領域をメサ形にしてストライプ状に制限するメサストライプ型半導体レーザで、前述のように基板に電気的絶縁性基板が用いられる半導体レーザでは、図5に示されるようにフェースダウンでダイボンディングされ、両電極38、39がクリームハンダ、In、Au-Snなどの低融点金属40により同時にマウント台41の電極端子（図示せず）に電気的に接続される。なお、図5において、31はサファイア基板、33はn形クラッド層、34は活性層、35はp形クラッド層をそれぞれ示す。

【0005】

【発明が解決しようとする課題】前述の青色系の半導体発光素子のように、絶縁性の基板上に半導体層が積層される半導体発光素子は、p側電極もn側電極も同一面側に設けられることが多い。このように、同一面側に両電極が設けられる半導体発光素子では、その両電極とリードもしくはチップ型素子の端子電極などの電気的接続がワイヤボンディングによりなされる。しかし、前述のように、同一面側に両電極が設けられる半導体発光素子では、一方の電極は積層された半導体層の上層の半導体層上に設けられ、他方の電極が積層された半導体層の一部がエッチングなどにより除去されて露出する下層の半導体層に設けられる。そのため、両電極の高さが基板の面から同じ高さにならない。この両電極の高さが同じでないと、ワイヤボンディングのときにp側電極とn側電極とで同じ圧力でボンディングをすることができない。そのため、ボンディング不良が出たり、ボンディングの信頼性が低下するという問題がある。一方、両電極によりボンディングの条件を変えると、ボンディング工程が非常に複雑になる。

【0006】また、LEDチップを裏向きにしてフェースダウンで両電極を直接リードの先端にボンディングをする場合や、レーザダイオードチップをマウント台上にフェースダウンでダイボンディングをする場合、LEDチップやレーザダイオードチップの電極部の高さに段差があるとボンディングをしにくいと共に傾きやすいという問題がある。とくにレーザダイオードチップの場合、傾いてダイボンディングされると、ビームが傾き所望の特性が得られないという問題がある。さらに、メサ形状に残されたストライプ部分は幅が数μm程度と非常に細く、その部分にかかる力が大きくなり、劣化しやすい

い。とくに、ダイボンディングの際に低融点金属の表面にできる酸化膜を擦って除去するスクラブを行いながらダイボンディングを行うが、幅の狭いストライプ部に大きな力がかかるため、ストライプ部分を劣化させやすい。

【0007】本発明は、このような問題を解決するためになされたもので、積層された半導体層の一部をエッチングなどにより除去して、同一面側にp側電極およびn側電極が設けられる半導体発光素子においても、その電極と他のリードなどとの電気的接続が確実になり、その信頼性が向上する半導体発光素子を提供することを目的とする。

【0008】本発明の他の目的は、メサストライプ型の半導体レーザをフェースダウンでダイボンディングをして製造する場合にも、メサストライプ部分を劣化させたり、傾きが生じてビーム特性を低下させない半導体レーザを提供することにある。

【0009】

【課題を解決するための手段】本発明による半導体発光素子は、基板と、該基板上に発光層を形成すべく積層される半導体積層部と、該半導体積層部の表面側の第1導電形の半導体層に接続して設けられる第1の電極と、前記半導体積層部の一部がエッチングにより除去されて露出する第2導電形の半導体層に接続して設けられる第2の電極とからなり、前記第1および第2の電極が、前記基板からほぼ同じ高さになるように形成されている。

【0010】ここにほぼ同じ高さとは、LEDチップやレーザチップをフェースダウンでボンディングする場合に、p側電極とn側電極とで極端な段差が生じないで、通常の方法で傾きが生じないようにボンディングすることができたり、p側電極とn側電極にワイヤボンディングをする場合に、極端にボンディングの圧力条件に差がない程度に段差が生じないことを意味する。また、第1導電形および第2導電形とは、半導体の極性のn形およびp形のいずれか一方を第1導電形としたとき、他方のp形またはn形が第2導電形であることを意味する。

【0011】この構造にすることにより、p側電極とn側電極とがそれぞれリードの先端やサブマウントに直接ボンディングされるようにLEDチップやレーザチップをフェースダウンでボンディングする場合でも段差がないため、傾きが生ぜず簡単にダイボンディングをすることができる。また、ワイヤボンディングをする場合にも、p側電極とn側電極とに同じ条件でボンディングをすることができるため、容易で、しかも確実にボンディングをすることができる。

【0012】前記第2の電極が、前記半導体積層部の一部が除去されて露出する第2導電形の半導体層と、前記半導体積層部がエッチングされずに残存する部分に連続して形成されることにより、第2導電形半導体層と確実に電気的に接続することができると共に、ワイヤボン

ディングなどがされる電極のパッド部分は積層された半導体積層部上に形成され、第1の電極と同じ高さにすることができる。

【0013】前記基板が電気的絶縁性基板であったり、前記半導体積層部がチツ化ガリウム系化合物半導体である場合にとくに効果が大い。

【0014】ここにチツ化ガリウム系化合物半導体とは、III族元素のGaとV族元素のNとの化合物またはIII族元素のGaの一部がAl、Inなどの他のIII族元素と置換したものおよび/またはV族元素のNの一部がP、Asなどの他のV族元素と置換した化合物からなる半導体をいう。

【0015】前記第1導電形の半導体層がストライプ状に残存するようにメサエッチングがなされて半導体レーザが形成されている場合に、ボンディング時のストライプ部の劣化がなく、またビームの傾きがなく高性能の半導体レーザが得られる。

【0016】

【発明の実施の形態】つぎに、図面を参照しながら本発明の半導体発光素子について説明をする。図1には、たとえば青色系の発光に適するチツ化ガリウム系化合物半導体が積層された本発明の半導体発光素子のチップの断面および平面の説明図が示されている。

【0017】本発明の半導体発光素子は、たとえば図1に示されるように、サファイア (Al₂O₃; 単結晶) などからなる基板1の表面に発光層を形成する半導体層3~5が積層されて半導体積層部10が形成され、その表面側の第1導電形の半導体層 (p形層5) に電気的に接続してp側電極 (第1の電極) 8が形成されている。また、半導体積層部10の一部が除去されて露出する第2導電形の半導体層 (n形層3) に電気的に接続してn側電極 (第2の電極) 9が形成されている。本発明では、n側電極9が、エッチングにより露出するn形層3だけに設けられるのではなくて、n側電極9の形成場所に半導体積層部の一部10aをエッチングしないで残存させ、その残存した半導体積層部の一部10aとその周囲の露出するn形層3に連続してn側電極9が形成されていることに特徴がある。その結果、残存した半導体積層部の一部10a上のn側電極の部分9aがワイヤボンディングなどの接続部とされることにより、p側電極8とほぼ同じ高さで形成される。

【0018】すなわち、n側電極9が形成される部分は、図1に示されるように、半導体積層部10の一部がエッチングされてn形層3が露出する。しかし、本発明では、図1 (b) に示されるように、そのn側電極9の形成場所に半導体積層部の一部10aを残存させておき、その残存した半導体積層部の一部10aおよびその周囲のn形層3にn側電極9が形成されている。この際、n形層3と残存する半導体積層部の一部10aの上面とは段差があるが、その間で電極切れが生じてても周

阻全体に亘って切れない限り問題はなく、ステップカバレジが問題になることはない。また、このn側電極9は、従来のように、n形層3とオーミックコンタクト特性の良好な、たとえばTiとAlの合金から形成される。残存する半導体積層部の一部10aの表面は、p形層5のままの場合もあるが、p形層5とのオーミックコンタクト特性を考慮する必要がなく、n形層3とのオーミックコンタクトのみを考えればよい。

【0019】また、このような半導体積層部の一部10aを残存させる場合は、その部分だけレジスト膜が残存するようにマスクのパターニングをして半導体積層部10をエッチングすることにより形成され、従来のn側電極9を設けるために半導体積層部10をエッチングするのと同じ工数で同様に形成することができる。また、この残存させる半導体積層部の一部10aは、図1(b)に示されるように、露出するn形層3の中心部に設けられる必要はなく、p側電極が接続されるp形層5とショートしない範囲であればどこに設けられてもよい。

【0020】半導体積層部10は、たとえばGaNからなる低温バッファ層、クラッド層となるn形のGaNおよび／またはAlGaN系(AlとGaの比率が種々変わり得ることを意味する、以下同じ)化合物半導体の積層構造からなるn形層3、バンドギャップエネルギーがクラッド層のそれよりも小さくなる材料、たとえばInGaN系化合物半導体からなる活性層4、およびp形のAlGaN系化合物半導体層および／またはGaN層からなるp形層(クラッド層)5が、それぞれ順次積層されることにより構成されている。

【0021】p側電極8は、図示しないAuとNiの合金層からなる電流拡散層を介してTiとAuの積層構造により形成される。この電流拡散層が形成された後にn側電極形成のためのエッチングが行われる場合、残存する半導体積層部の一部10aの表面に電流拡散層が形成されていてもよい。残存する半導体積層部の一部10aはn側電極9の高さ調整のためのものだからである。

【0022】この半導体発光素子を製造するには、たとえば有機金属化学気相成長法(MOCVD法)により、反応ガスおよび必要なドーパントガスを導入してn形層3を1~5μm程度、活性層4を0.05~0.3μm程度、およびp形層5を0.2~1μm程度、それぞれエピタキシャル成長する。その後、NiおよびAuをそれぞれ真空蒸着などにより積層してシンターすることにより合金化して、活性層4で発光する光を透過させると共に、電流を拡散させる電流拡散層(図示せず)を2~100nm程度形成する。ついで、表面にレジスト膜を設け、パターニングをして塩素ガスなどによる反応性イオンエッチングにより、積層された半導体積層部10を図1(b)に示されるように部分的に除去する。このパターニングの際に半導体積層部の一部10aが残存するようにレジスト膜を残す。その後、前述の電極金属を蒸着

してパターニングをすることにより、またはリフトオフ法によりp側電極8およびn側電極9を形成する。

【0023】本発明によれば、LEDチップのp側電極8とn側電極9とがほぼ同一面に形成されているため、たとえば図2(a)に示されるように、LEDチップ13を第1のリード11にダイボンディングをして、そのp側電極8およびn側電極9をそれぞれ第2のリード12および第1のリード11と金線14などによりワイヤボンディングをする場合、両電極8、9がほぼ同一面にあるため、自動のワイヤボンディング機を用いて行っても均一なボンディングをすることができる。

【0024】また、図2(b)に示されるように、LEDチップ13を裏向きにしてそれぞれの電極9、8が第1および第2のリード11、12に電気的に接続されるようにボンディングをする場合にも、LEDチップ13のp側電極8とn側電極9とがほぼ同一面にあるため、同じ高さのリード11、12の上に載置してボンディングをすることができ、容易に、かつ、確実にダイボンディングをすることができる。なお、これらのLEDチップ13部分がLEDチップ13で発光する光を透過する樹脂により被覆されて樹脂パッケージ15が形成されることにより、ランプ型の発光素子とされる。

【0025】一方、n側電極9をp側電極8と実質的に同じ高さにするため、残存する半導体積層部の一部10aを設けることは、従来のn側電極を形成するために半導体積層部10を部分的にエッチングする場合のマスクのパターニングを変えるだけで、製造工程は何等変わることがない。そのため、LEDチップの製造時には工数増になることもなく、むしろ後のボンディング時には作業が容易で全体としては工数減になると共に、ボンディングの信頼性が向上する。

【0026】図3(a)~(c)は、本発明の半導体発光素子の他の実施形態であるチ化ガリウム系化合物半導体を用いた半導体レーザの製造工程を示す図、図3

(d)はそのチップの平面説明図である。まず、LEDチップの場合と同様に、サファイア基板31上に、n形クラッド層33、活性層34、およびp形層35を同様の組成および同程度の厚さで積層する。その後、アニールをしてp形クラッド層35の活性化処理を行う。そしてNiおよびAuを蒸着してシンターすることにより、Au-Ni合金からなるp側電極38をリフトオフ法などによりストライプ状に形成する。その後、p側電極38部および半導体積層部の一部30aが残存する(図3(b)参照)ようにマスクを形成し、塩素ガスなどによる反応性イオンエッチングにより、積層された半導体積層部を部分的に除去する。ついで、Al-Ti合金およびAuの積層構造からなるn側電極39をリフトオフ法などにより形成し、ダイシングすることにより、レーザチップが形成される。

【0027】このチップをサブマウントなどのマウント

7

台にフェースダウンでダイボンディングをすることにより、傾きが生じたり、ストライプ状メサ部にダメージを与えることなく、精度のよいダイボンディングをすることができる。なお、半導体レーザにする場合、図3

(d)に平面図が示されるように、活性層34のチップ側面からビーム状に光を照射するため、積層された半導体層の表面側からの光の取出しの必要がなく、電流拡散層を設けることなく、p側電極38は電気的接触が充分に行われるように、p形クラッド層の全面に設けられる。

【0028】なお、図1～3に示される例では、チッ化ガリウム系化合物半導体を用いた青色系の半導体発光素子であったが、GaAs系やGaP系の化合物半導体を用いた赤色系や緑色系の半導体発光素子であっても、p側およびn側の電極が積層された半導体層側である同一面側に設けられる場合は同様に本発明を適用することにより、ワイヤボンディングなどが容易になる。さらに、前述のLEDの例では、n形層3とp形層5とで活性層4が挟持されたダブルヘテロ接合構造であるが、n形層とp形層とが直接接合するpn接合構造の半導体発光素子でも同様である。

【0029】

【発明の効果】本発明によれば、p側電極およびn側電極が実質的に（ほぼ）同じ高さに形成されているため、ワイヤボンディングなどの作業が容易になると共に、確実にボンディングをすることができる。その結果、ボン

8

ディング時の工数減および歩留りの向上によりコストダウンが図られると共に、ボンディングの信頼性が向上する。

【0030】また、メサストライプ型の半導体レーザがフェースダウンでダイボンディングされる場合でも、ストライプ部にダメージを与えることなく、しかも傾きなどが生じることなく高特性の半導体レーザが得られる。

【図面の簡単な説明】

【図1】本発明の半導体発光素子の一実施形態のLEDチップの説明図である。

【図2】図1のLEDチップをリードなどにマウントする場合の断面説明図である。

【図3】本発明の半導体発光素子の他の実施形態である半導体レーザの一例の製造工程を示す図である。

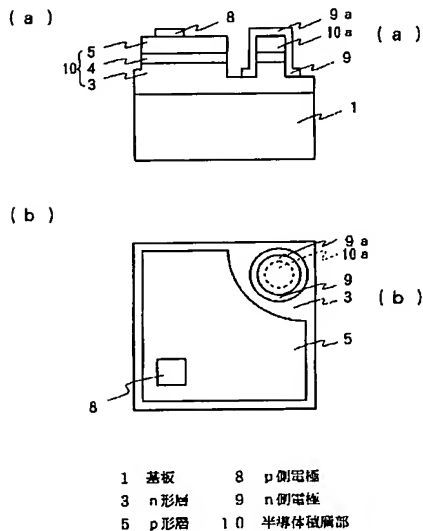
【図4】従来の半導体発光素子のLEDチップの一例の斜視説明図である。

【図5】従来の半導体レーザをフェースダウンでダイボンディングする説明図である。

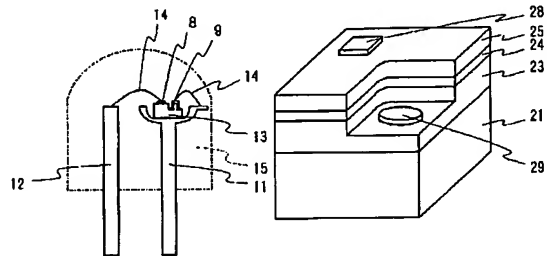
【符号の説明】

- 1 基板
- 3 n形層
- 5 p形層
- 8 p側電極
- 9 n側電極
- 10 半導体積層部

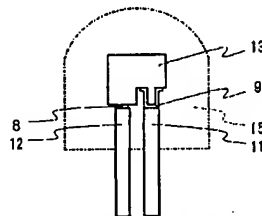
【図1】



【図2】

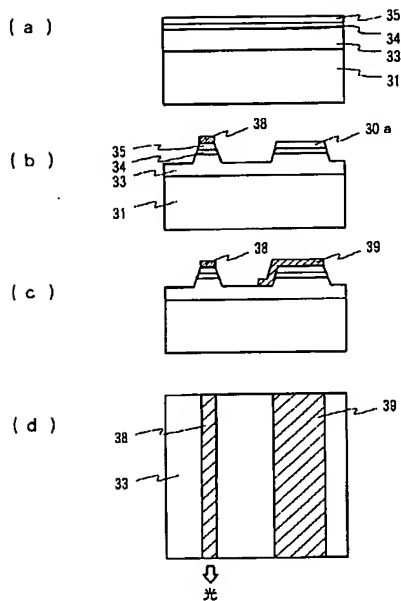


【図4】

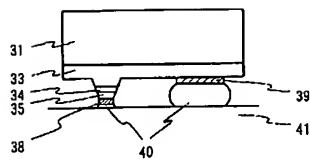


8 p側電極 9 n側電極

【図 3】



【図 5】



フロントページの続き

- (72)発明者 筒井 毅
京都市右京区西院溝崎町21番地 ローム株
式会社内
- (72)発明者 伊藤 範和
京都市右京区西院溝崎町21番地 ローム株
式会社内
- (72)発明者 市原 淳
京都市右京区西院溝崎町21番地 ローム株
式会社内